

48

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2002年 7月 9日

出願番号

Application Number:

特願2002-200055

[ST.10/C]:

[JP2002-200055]

出願人

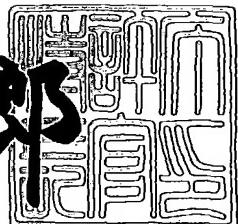
Applicant(s):

新光電気工業株式会社

2003年 5月 23日

特許庁長官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3037857

【書類名】 特許願
【整理番号】 1023736
【提出日】 平成14年 7月 9日
【あて先】 特許庁長官 及川 耕造 殿
【国際特許分類】
 H01L 25/00
 H01L 23/12
 H05K 3/46
【発明の名称】 素子内蔵基板製造方法およびその装置
【請求項の数】 16
【発明者】
【住所又は居所】 長野県長野市大字栗田字舎利田 711番地 新光電気工業株式会社内
【氏名】 赤川 雅俊
【発明者】
【住所又は居所】 長野県長野市大字栗田字舎利田 711番地 新光電気工業株式会社内
【氏名】 関川 和成
【発明者】
【住所又は居所】 長野県長野市大字栗田字舎利田 711番地 新光電気工業株式会社内
【氏名】 若林 信一
【特許出願人】
【識別番号】 000190688
【氏名又は名称】 新光電気工業株式会社
【代理人】
【識別番号】 100077517
【弁理士】
【氏名又は名称】 石田 敬
【電話番号】 03-5470-1900

【選任した代理人】

【識別番号】 100100871

【弁理士】

【氏名又は名称】 土屋 繁

【選任した代理人】

【識別番号】 100082898

【弁理士】

【氏名又は名称】 西山 雅也

【選任した代理人】

【識別番号】 100081330

【弁理士】

【氏名又は名称】 樋口 外治

【手数料の表示】

【予納台帳番号】 036135

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9709241

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 素子内蔵基板製造方法およびその装置

【特許請求の範囲】

【請求項1】 電子部品を配線基板内に内蔵した素子内蔵基板を製造する素子内蔵基板製造方法であって、

第1の絶縁層で被覆される前の、第1の電子部品の基板面上の実際の形成位置を検出する第1の検出ステップと、

前記第1の電子部品の設計上の形成位置と、前記第1の電子部品の基板面上の実際の形成位置とのずれを、第1の変位データとして計算して保持する第1の保持ステップと、

前記第1の絶縁層で被覆された後の前記基板の処理に使われる設計データを、前記第1の変位データを用いて補正する第1の補正ステップと、を備えること特徴とする素子内蔵基板製造方法。

【請求項2】 電子部品を配線基板内に内蔵した素子内蔵基板を製造する素子内蔵基板製造方法であって、

第1の絶縁層で被覆される前の、第1の電子部品が形成された基板面を撮像する第1の撮像ステップと、

前記第1の電子部品の設計上の形成位置と、撮像して得られた前記基板面に関する第1の画像データから検出された前記第1の電子部品の実際の形成位置とのずれを、第1の変位データとして計算して保持する第1の保持ステップと、

前記第1の絶縁層で被覆された後の前記基板の処理に使われる設計データを、前記第1の変位データを用いて補正する第1の補正ステップと、を備えること特徴とする素子内蔵基板製造方法。

【請求項3】 前記第1の補正ステップで補正された設計データに基づいて、前記第1の絶縁層で被覆された基板をマスクレス露光する第1のマスクレス露光ステップをさらに備える請求項1または2に記載の素子内蔵基板製造方法。

【請求項4】 前記第1の補正ステップで補正された設計データに基づいて、前記第1の絶縁層で被覆された基板にビア孔を形成する第1のビア形成ステップをさらに備える請求項1～3のいずれか一項に記載の素子内蔵基板製造方法。

【請求項5】 前記第1の電子部品を既に下層に内蔵している前記第1の絶縁層面上に形成された第2の電子部品の該第1の絶縁層面上の実際の形成位置を、第2の絶縁層で被覆される前に検出する第2の検出ステップと、

前記第2の電子部品の設計上の形成位置と、前記第2の電子部品の前記第1の絶縁層上の実際の形成位置とのずれを、第2の変位データとして計算して保持する第2の保持ステップと、

前記第2の絶縁層で被覆された後の前記基板の処理に使われる設計データを、前記第2の変位データを用いて補正する第2の補正ステップと、をさらに備える請求項1～4のいずれか一項に記載の素子内蔵基板製造方法。

【請求項6】 前記第1の電子部品を既に下層に内蔵している前記第1の絶縁層面上に第2の電子部品が形成された該第1の絶縁層面を、第2の絶縁層で被覆される前に撮像する第2の撮像ステップと、

前記第2の電子部品の設計上の形成位置と、撮像して得られた前記第1の絶縁層面に関する第2の画像データから検出された前記第2の電子部品の実際の形成位置とのずれを、第2の変位データとして計算して保持する第2の保持ステップと、

前記第2の絶縁層で被覆された後の前記基板の処理に使われる設計データを、前記第2の変位データを用いて補正する第2の補正ステップと、をさらに備える請求項1～4のいずれか一項に記載の素子内蔵基板製造方法。

【請求項7】 前記第2の補正ステップで補正された設計データに基づいて、前記第2の絶縁層で被覆された基板をマスクレス露光する第2のマスクレス露光ステップをさらに備える請求項5または6に記載の素子内蔵基板製造方法。

【請求項8】 前記第2の補正ステップで補正された設計データに基づいて、前記第2の絶縁層で被覆された基板にビア孔を形成する第2のビア形成ステップをさらに備える請求項5～7のいずれか一項に記載の素子内蔵基板製造方法。

【請求項9】 前記補正ステップは、前記電子部品の端子の実際の形成位置が、設計データに従う配線ラインの電子部品側の端子からはずれた場合、該配線ラインの電子部品側の端子を、前記電子部品の実際の形成位置にずらすように設計データを補正する請求項1～8のいずれか一項に記載の素子内蔵基板製造方法。

【請求項10】 前記補正ステップは、前記電子部品の端子の実際の形成位置が、設計データ上の形成位置からずれ、かつ、別の電子部品の端子の結線に用いられる配線ラインと交差した場合は、該配線ラインを前記別の電子部品の端子から迂回させるように設計データを補正する請求項1～8のいずれか一項に記載の素子内蔵基板製造方法。

【請求項11】 電子部品を配線基板内に内蔵した素子内蔵基板を製造する素子内蔵基板製造装置であって、

絶縁層で被覆される前の、電子部品の基板面上の実際の形成位置を検出する検出手段と、

前記電子部品の設計上の形成位置と、前記電子部品の基板面上の実際の形成位置とのずれを、変位データとして計算して保持する保持手段と、

前記絶縁層で被覆された後の前記基板の処理に使われる設計データを、前記変位データを用いて補正する補正手段と、を備えること特徴とする素子内蔵基板製造装置。

【請求項12】 電子部品を配線基板内に内蔵した素子内蔵基板を製造する素子内蔵基板製造装置であって、

絶縁層で被覆される前の、電子部品が形成された基板面を撮像する撮像手段と

前記電子部品の設計上の形成位置と、撮像して得られた前記基板面に関する画像データから検出された前記電子部品の実際の形成位置とのずれを、変位データとして計算して保持する保持手段と、

前記の絶縁層で被覆された後の前記基板の処理に使われる設計データを、前記変位データを用いて補正する補正手段と、を備えること特徴とする素子内蔵基板製造装置。

【請求項13】 前記補正手段によって補正された設計データに基づいて、前記絶縁層で被覆された基板をマスクレス露光するマスクレス露光手段をさらに備える請求項11または12に記載の素子内蔵基板製造装置。

【請求項14】 前記補正手段によって補正された設計データに基づいて、前記絶縁層で被覆された基板にビア孔を形成するビア形成手段をさらに備える請

求項11～13のいずれか一項に記載の素子内蔵基板製造装置。

【請求項15】 前記補正手段は、前記電子部品の端子の実際の形成位置が、設計データに従う配線ラインの電子部品側の端子からはずれた場合、該配線ラインの電子部品側の端子を、前記電子部品の実際の形成位置にずらすように設計データを補正する請求項11～14のいずれか一項に記載の素子内蔵基板製造装置。

【請求項16】 前記補正手段は、前記電子部品の端子の実際の形成位置が、設計データ上の形成位置からはずれ、かつ、別の電子部品の端子の結線に用いられる配線ラインと交差した場合は、該配線ラインを前記別の電子部品の端子から迂回させるように設計データを補正する請求項11～14のいずれか一項に記載の素子内蔵基板製造装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、電子部品を配線基板内に内蔵した素子内蔵基板を製造する素子内蔵基板製造方法およびその装置に関する。

【0002】

【従来の技術】

プリント基板に形成される配線パターンは、より一層微細化、複雑化する傾向にあり、高精度な配線形成技術が求められている。また、電気機器の小型化および高性能化に伴い、配線基板の多層化も進んでいる。さらには、配線基板の中には、その内部にICチップ、半導体素子、キャパシタ、抵抗等の各種電子部品が埋め込まれたり、キャパシタ、抵抗、インダクタ等の電子部品が作り込まれた基板（以下、「素子内蔵基板」と呼ぶ。）もある。

【0003】

単層の素子内蔵基板では各電子部品を2次元的に配置せざるを得ないが、多層の素子内蔵基板の場合は、電子部品の直上の層に別の電子部品を配置するといったように、電子部品を3次元的に効率よく配置することができる。これにより、单層基板の場合に比べて配線距離をより短くすることも可能であるので、ノイズ

や浮遊容量に対して強靭であり、かつ高周波対応の基板を実現することも可能である。

【0004】

【発明が解決しようとする課題】

一般的に配線基板は、配線パターンに関する設計データに基づいて基板を露光し現像することで所望のパターンを基板上に焼き付け、そしてエッチングを施すことによって形成される。

【0005】

特に多層の素子内蔵基板を製造する場合、電子部品の形成、ならびに絶縁層および配線層の物理的な積層の他に、積層された各配線層の間を接続する配線が必要であるので、多層基板の配線形成には特に高精度が要求される。

【0006】

例えばフォトマスクを使用する従来のフォトリソグラフィーでは、ある層に電子部品を形成する場合、電子部品の基板に対する形成処理および位置決めが正確でないと、その後の露光プロセスを経て形成されるビア（Via）および配線が、電子部品の接続端子とずれてしまうことになる。

【0007】

図15は、従来例によるフォトマスクを使ったパターニングと位置ずれを示す図である。

【0008】

従来例によるフォトマスクを使ったパターニングでは、設計データに基づいてマスク位置やマスクパターンが決定される。しかし、電子部品を形成する際に、電子部品の基板に対する形成処理および位置決めが正確でなかった場合は、マスク位置と電子部品の形成位置との間に回転ずれ θ および水平方向のずれ Δx および Δy が生じてしまう。

【0009】

図16は、素子内蔵基板においてフォトマスクを使用して描画される配線と電子部品との位置関係を示す図である。図16において、電子部品の接続端子の設計上の形成位置101、すなわち、電子部品の接続端子が本来存在すべき位

置は点線で示されている。

【0010】

電子部品を配線基板に実際に形成させるととき図16の実線102に示される位置にずれてしまった場合、フォトマスクを使用した従来の露光プロセスにより配線103を形成すると、配線と電子部品との位置がずれてしまう。

【0011】

この位置ずれを回避するために、設計データにできるだけ忠実に電子部品を基板に形成することが考えられるが、このような高精度の製造プロセスを実現するには極めてコストがかかる。

【0012】

また、電子部品が形成された基板を絶縁層で覆ってしまうと電気部品の配置場所の特定も困難となる。したがって、電子部品の形成処理の際に仮にずれが生じていたとしてもその後のプロセスは設計データに従って実行せざるを得ないので、結果として不良品を生むことになってしまう。

【0013】

このように、従来例では絶縁層形成後は電子部品の正確な位置を特定することは困難であるので、特に基板が多層になればなるほど、また、配線が微細になればなるほど、完全な回路基板製作が困難である。

【0014】

従って本発明の目的は、上記問題に鑑み、電子部品を配線基板内に内蔵した素子内蔵基板を、高精度かつ容易に製造する素子内蔵基板製造方法およびその装置を提供することにある。

【0015】

【課題を解決するための手段】

上記目的を実現するために、本発明においては、電子部品を配線基板内に内蔵した素子内蔵基板を製造する素子内蔵基板製造方法において、まず、個々の基板に形成された電子部品の形成位置の設計上の位置に対する変位を、絶縁層で被覆される前に予め検出しておく。そして、絶縁層に被覆された後の基板の処理に使われる設計データを、上述の変位を用いて動的に補正する。この補正されたデー

タを用いてマスクレス露光およびビア形成を行う。

【0016】

図1は、本発明の素子内蔵基板製造方法のフローチャート（その1）である。

【0017】

本発明の素子内蔵基板製造方法は、第1の絶縁層で被覆される前の、第1の電子部品の基板面上の実際の形成位置を検出する第1の検出ステップS101と、第1の電子部品の設計上の形成位置と、第1の電子部品の基板面上の実際の形成位置とのずれを、第1の変位データとして計算して保持する第1の保持ステップS102と、第1の絶縁層で被覆された後の基板の処理に使われる設計データを、第1の変位データを用いて補正する第1の補正ステップS103と、を備える。

【0018】

上述の第1の検出ステップS101は、第1の絶縁層で被覆される前の、第1の電子部品が形成された基板面を撮像するステップであってもよい。この場合、上述の第1の保持ステップは、第1の電子部品の設計上の形成位置と、撮像して得られた前記基板面に関する第1の画像データから検出された前記第1の電子部品の実際の形成位置とのずれを、第1の変位データとして計算して保持すればよい。

【0019】

図2は、本発明の素子内蔵基板製造方法のフローチャート（その2）である。

【0020】

ステップS103で得られた補正された設計データは、絶縁層で被覆された後の基板に対する種々の処理、例えばビア形成およびマスクレス露光に用いられる。

【0021】

図2に示すように、本発明の素子内蔵基板製造方法は、第1の補正ステップS103で補正された設計データに基づいて、第1の絶縁層で被覆された基板にビア孔を形成する第1のビア形成ステップS104と、第1の補正ステップS103で補正された設計データに基づいて、第1の絶縁層で被覆された基板をマスク

レス露光する第1のマスクレス露光ステップS105とをさらに備えてもよい。

【0022】

上記の処理を繰り返すことで、多層の素子内蔵基板を製造することができる。

【0023】

図3は、本発明の素子内蔵基板製造装置のシステムブロック図である。

【0024】

本発明の素子内蔵基板製造装置1は、絶縁層23で被覆される前の、電子部品22の基板21面上の実際の形成位置を検出する検出手段11と、電子部品22の設計上の形成位置と、電子部品22の基板21面上の実際の形成位置とのずれを、変位データとして計算して保持する保持手段12と、絶縁層23で被覆された後の基板21の処理に使われる設計データを、変位データを用いて補正する補正手段13と、を備える。

【0025】

上述の検出手段11は、絶縁層23で被覆される前の、電子部品22が形成された基板21面を撮像する撮像手段であってもよい。この場合、上述の保持手段12は、電子部品22の設計上の形成位置と、撮像して得られた基板21面に関する画像データから検出された電子部品22の実際の形成位置とのずれを、変位データとして計算して保持すればよい。

【0026】

また、本発明の素子内蔵基板製造装置1は、補正手段13によって補正された設計データに基づいて、絶縁層23で被覆された基板にピア孔25を形成するピア形成手段14をさらに備えるのが好ましい。ピア孔25が形成された後、配線パターン形成用のフォトレジスト層24が形成される。

【0027】

また、本発明の素子内蔵基板製造装置1は、補正手段13によって補正された設計データに基づいて、絶縁層23で被覆された基板をマスクレス露光するマスクレス露光手段15をさらに備えるのが好ましい。

【0028】

本発明によれば、素子内蔵基板の製造にあたり、基板に電子部品を形成したと

きに、設計上の形成位置からずれたとしても、そのずれを考慮して基板のその後の処理に用いられる設計データを補正し、補正された設計データに基づいてピア形成やマスクレス露光を実行するので、電子部品の多少の位置ずれがあっても容易に素子内蔵基板を製造することができ、また、フォトマスクを使用する従来例に比べて歩留まりが飛躍的に向上する。

【0029】

【発明の実施の形態】

ここでは、多層の素子内蔵基板の製造に本発明を適応した実施例を説明する。

【0030】

図4～9は、本発明の素子内蔵基板製造方法の実施例を説明する図である。

【0031】

まず、図4（a）に示すように、絶縁層で被覆される前の基板21の面上に、電子部品22を設計データに従って位置合わせして形成する。

【0032】

ここで、基板の例としては、ガラスエポキシ基板等がある。また、電子部品の例としては、半導体素子、キャパシタ、抵抗等がある。図4（a）では、未だ積層されていない基板の面上に別体の電子部品22-1を装着して形成した例を示しているが、スパッタリングもしくは蒸着等の薄膜工程により、インダクタ、キャパシタもしくは抵抗等の受動素子（電子部品）を作り込むことで形成してもよく、これについては後述する。

【0033】

次に、図4（b）に示すように、絶縁層で被覆される前の、電子部品22-1が面上に形成された基板21に関し、電子部品22-1の基板21面上の実際の形成位置を検出する。そして、電子部品22-1の設計上の形成位置と、電子部品22-1の基板21面上の実際の形成位置とのずれを、変位データとして計算して保持する。この変位データは、個々の基板の個々の電子部品ごとに計算され、保持される。変位データのデータ構造については後述する。

【0034】

本実施例では、電子部品22-1の形成位置の検出に、CCDカメラ等の光学

的読取装置（図示せず）を用いる。この場合、光学的読取装置により電子部品22-1が形成された基板21の表面を撮像する。撮像して得られた画像データから、基板21の基準点に対する形成した電子部品22-1の接続端子の位置を読み取る。そして、設計データからわかる電子部品22-1の設計上の形成位置と、電子部品22-1の基板21面上の実際の形成位置とのずれを計算する。得られたデータは、変位データとして素子内蔵基板製造装置内の記憶装置（図示せず）に保持する。

【0035】

なお、本実施例では、電子部品の形成位置を光学的に検出したが、これ以外の方法で検出してもよく、例えば超音波あるいはX線等を用いて電子部品の位置を検出してもよい。

【0036】

また、後述する動的補正を実行可能な変位データの許容値を定めておき、ここで得られた変位データがこの許容値を越えるような場合、不良と判定するような処理をさらに備えててもよい。これにより、動的補正でもっても対応しきれない重大な不良品を完全に排除することができるので、歩留まりをさらに向上させることができる。

【0037】

続いて、図4(c)に示すように、電子部品22-1を被覆するよう基板21上に絶縁層23-1を形成し、形成した電子部品22-1を絶縁層23-1内に埋め込む。絶縁層の例としては、エポキシ、ポリイミド、ポリフェニレンエーテル等の樹脂がある。このような樹脂を塗布したり、フィルム状の樹脂を積層したりすることで絶縁層23-1を形成する。なお、次に説明する工程でビア孔を露光により形成する場合は、感光性の絶縁樹脂を用いればよい。

【0038】

次に、図4(d)に示すように、ビアを形成するためのビア孔25を絶縁層23-1に形成する。ビア孔25は、電子部品22-1の電極部分3-1が露出するよう形成する。

【0039】

この段階では既に電子部品22-1は絶縁層23-1に埋め込まれているので、上方からは見ることはできない。従来例では、そのまま設計データに基づいてビア孔を形成していた。したがって、従来例では、何らかの原因で電子部品が設計上の形成位置からずれてしまった場合、そのまま設計データに基づいてビア孔を形成しても、電子部品の電極部分を所望どおりに露出させることができないことがあった。

【0040】

これに対し、本発明によれば、既に図4（b）を参照して既に説明したように、電子部品22-1の設計上の形成位置と、電子部品22-1の基板21面上の実際の形成位置とのずれを示す変位データを予め計算して保持している。本発明では、ビア孔25を形成する際に必要な設計データを、変位データを用いて動的に補正し、ビア孔25の形成位置を調整する。これにより、電子部品22-1が設計データからずれて形成されても、そのずれに対応したビア孔25を形成することができ、したがって電子部品の電極部分を確実に露出させることができる。

【0041】

なお、ビア孔25の実際の孔あけ方法としては、レーザによる方法と、露光による方法がある。このうち、レーザによる方法では、YAGレーザやCO₂レーザにより絶縁層にビア孔を形成する。一方、露光による方法では、感光性ポリイミド樹脂等の感光性樹脂を絶縁層に用い、これを露光、現像することでビア孔を形成する。

【0042】

続いて、図4（e）に示すように、導体層32を絶縁層23-1の表面、および、ビア孔25の内壁面に形成する。この導体層32は、後の工程で電解めっきを施す際の給電層となる。導体層32は、例えば無電解めっき、スパッタ、蒸着等により形成する。例えば、無電解めっきの場合は銅を用いて導体層を形成する。また、スパッタの場合は、スパッタによりクロム層を形成し、その上にスパッタにより銅層を形成して導体層とする。クロム層は、絶縁層と銅層との密着層として機能する。一方、銅層は、給電層として用いる場合は電気抵抗を下げる機能

を有する。

【0043】

次に、図5（a）に示すように、配線パターン形成用のフォトレジスト層33を形成する。フォトレジスト層33は、フォトレジストとなる樹脂を塗布するか、あるいはフォトレジストとなる樹脂フィルムを積層することで形成する。なお、ここではフォトレジストタイプのものを例示したが熱硬化樹脂タイプであってもよい。

【0044】

続いて、図5（b）に示すように、フォトレジスト層33を露光する。好適には、マスクレス露光（レーザ露光や電子ビーム露光等の直接露光）により露光する。フォトレジスト層33がポジ型かネガ型かで露光パターンが逆になる。

【0045】

この段階も上述の図4（d）の場合同様、電子部品22-1は絶縁層23-1に埋め込まれているので、上方からは見ることはできない。従来例では、そのまま設計データに基づいてフォトマスクを形成して露光していた。したがって、従来例では、何らかの原因で電子部品が設計上の形成位置からずれてしまった場合は、電子部品の接続端子の位置に、適切な配線もしくはビアを形成することができない。

【0046】

これに対し、本発明によれば、既に図4（b）を参照して説明したように、電子部品22-1の設計上の形成位置と、電子部品22-1の基板21面上の実際の形成位置とのずれを示す変位データを予め計算して保持している。本発明では、マスクレス露光を実行する際に必要な設計データを、変位データを用いて動的に補正し、露光位置を調整する。これにより、電子部品22-1が設計データからずれて形成されていても、そのずれに対応させて配線およびビアを形成することができる。なお、補正アルゴリズムの具体例については後述する。

【0047】

次に、図5（c）に示すように、フォトレジスト層33を現像し、配線パターン形成部分34となるフォトレジスト層を除去し、その部分の導体層32を露出

する。

【0048】

続いて、図5(d)に示すように、配線パターン形成部分34に、電解めっきにより配線用導体35を形成する。具体的には、ビア孔25を充填するよう電解めっきを施す。また、導体層32(給電層)から給電を行い、電解めっきを施す。ここでは、電解めっきを例えれば銅めっきとしたが、その他のめっきであってもよい。

【0049】

次に、図6(a)に示すように、フォトレジスト層を除去する。

【0050】

続いて、図6(b)に示すように、配線用導体形成部分以外の導体層を、エッティングにより除去し、配線パターンを形成する。

【0051】

以上で、一層分の絶縁層内に電子部品を内蔵し(埋め込み)、配線パターンを形成する工程が完了する。

【0052】

続いて、上述した層のさらに上の層の形成について説明する。基本的には上述の工程と同様であるので簡単な説明にとどめるが、ここで、絶縁層に内蔵される電子部品としてL C Rなどの受動素子を、スパッタリングもしくは蒸着等の薄膜工程により作り込むことにより形成する場合について簡単に説明する。

【0053】

図7は、本発明の素子内蔵基板製造方法の実施例において、絶縁層に内蔵されるキャパシタの形成を例示する図である。

【0054】

図7(a)に示すように、下層の絶縁層上(未だ積層されていない1層目の場合は基板上)に配線パターンを形成するとき、同時にキャパシタの下部電極36を形成する。この下部電極36は、配線パターンの一部分が平面状の幅広部として形成されたものである。

【0055】

次いで、図7（b）に示すように、スパッタリングにより、チタン酸ストロンチウム、チタン酸バリウムもしくは酸化タンタル等の強誘電体層37を形成し、さらに、銅のスパッタリングもしくはめっきにより、上部電極38を形成する。より詳しく言えば、レジスト層を形成して強誘電体層37および上部電極38を形成することになる。これによりキャパシタ39が作り込まれたことになる。

【0056】

このように、電子部品としては、L C R等の受動素子を作り込み、絶縁層内に内蔵させてもよいが、以降は、別体の電子部品を装着した場合について説明する

【0057】

図6（c）に示すように、既に電子部品を内蔵している絶縁層23の面上に、さらなる電子部品22-2を設計データに従って位置合わせして形成する。

【0058】

次に、図4（b）を参照して説明したのと同様に、図6（d）に示すように、さらなる絶縁層で被覆される前の、さらなる電子部品22-2が面上に形成された絶縁層23-1に関し、電子部品22-2の絶縁層23-1面上の実際の形成位置を検出する。そして、電子部品22-2の設計上の形成位置と、さらなる電子部品22-2の絶縁層23-1面上の実際の形成位置とのずれを、変位データとして計算して保持する。

【0059】

続いて、図8（a）に示すように、電子部品22-2を被覆するよう絶縁層23-1上に絶縁層23-2を形成し、形成した電子部品22-2を絶縁層23-2内に埋め込む。

【0060】

次に、図8（b）に示すように、ビアを形成するためのビア孔25を絶縁層23-2に形成する。図4（d）の場合と同様、ビア孔25を形成する際に必要な設計データを、変位データを用いて動的に補正し、ビア孔25の形成位置を調整する。その後、上述したのと同様に、導体層32の形成、フォトレジスト層33の形成、マスクレス露光、エッチングなどの各処理を実行することで、図9（a

) に示すような2層の素子内蔵基板を生成することができる。

【0061】

以上の処理を繰り返すことで、多層の素子内蔵基板を作成する。図9 (b) は3層の素子内蔵基板を例示する断面図である。

【0062】

以上のようにして、多層の素子内蔵基板を高精度に製造することができる。なお、本実施例では、配線パターンの形成方法として、セミアディティブ法を用いた。しかし、これ以外の形成方法を本発明に用いてもよく、例えばサブトラクティブ法あるいはフルアディティブ法を用いてもよい。

【0063】

次に設計データの具体的な補正アルゴリズムについて説明する。ここでは、マスクレス露光に用いられる設計データの動的補正について例示するが、ビア形成に用いられる設計データの動的補正であっても原理は同じである。

【0064】

図10は、変位データのデータベース構造を説明する図である。

【0065】

E Aを露光エリア、D D Bを設計データを格納したデータベース、B D Bを設計データからの変位情報である変位データを格納したデータベースとする。

【0066】

基板識別データは、何枚目の基板であったかというような基板の識別情報に関するデータである。

【0067】

素子識別データは、電子部品の種類および該電子部品が基板上の形成位置など電子部品の識別情報に関するデータである。

【0068】

端子識別データは、電子部品のどの端子かを示すデータである。

【0069】

そして、P、Q、θ、 Δx および Δy は、電子部品の端子の種々の幾何学的情報に関するデータである。Pは、電子部品の端子の設計上の位置を示す図形オブ

ジェクトである。Qは、上述の検出手段によって検出された、実際に形成された電子部品を示す図形オブジェクトである。θは、形成された電子部品の回転ずれ量に関するデータである。 Δx は、形成された電子部品のx方向のずれ量に関するデータである。 Δy は、形成された電子部品のy方向のずれ量に関するデータである。

【0070】

これらから、「 $Q = P(\theta, \Delta x, \Delta y)$ を満たす $(\theta, \Delta x, \Delta y)$ が存在する。」という関係式が成り立つ。換言すれば、Pに $\theta, \Delta x$ および Δy を与えればQが得られるということである。

【0071】

Lを、結線のラインの図形オブジェクトとする。そして、1sを、電子部品の端子側でないLの端点とし、1tを、電子部品の端子側のLの端点とする。すなわち、Lは、電子部品の端子側でない端点1sから端子側の端点1tへの結線に用いられる。

【0072】

Pと交差するLの集合をS(P)とする。すなわち、 $S(P) = \{L_i, \dots, L_j\}$ である。また、Qと交差するLの集合をU(Q)とする。すなわち、 $U(Q) = \{L_i, \dots, L_j\}$ である。ここで、i、jは整数である。

【0073】

Pの集合を{P}とし、Qの集合を{Q}とし、Lの集合を{L}とする。また、 ϕ を空集合とする。

【0074】

図11は、補正前の電子部品の端子と配線との位置関係を例示する図であり、図12は、図11で示された位置関係の補正後を例示する図である。

【0075】

図11において、電子部品の端子の設計データ上の位置をP1、P2、P3およびP4、電子部品の端子が実際に形成された位置をQ1、Q2、Q3およびQ4とする。また、設計データ中の結線のラインをL1、L2、L3およびL4、電子部品の端子側のLの端点を1t1、1t2、1t3および1t4、端子側で

ないLの端点を1s1、1s2、1s3および1s4とする。

【0076】

今、設計データ上では、露光エリアEAにおいて、マスクレス露光処理により、端点1s1は、電子部品の端子の位置P1にある端点1t1とL1で結線され、端点1s2は、電子部品の端子の位置P2にある端点1t2とL2で結線され、端点1s3は、電子部品の端子の位置P3にある端点1t3とL3で結線され、端点1s4は、電子部品の端子の位置P4にある端点1t4とL4で結線されるものとする。

【0077】

ここで、図1.1では、電子部品を基板面上に形成する際、電子部品の端子の設計上の位置P1、P2およびP3の位置からずれ、がそれぞれQ1、Q2およびQ3の位置になったとする。また、電子部品の端子P4についてはずれが生じなかつたものとする。

【0078】

電子部品の形成の際にずれが生じていたにもかかわらず、設計データを補正せずにそのまま設計データを用いてマスクレス露光をしようとする場合、電子部品の端子の設計上および実際の位置と、結線される配線ラインとは次のような位置関係となる。

【0079】

まず、図1.1に示すように、L1に関して言えば、設計データ中の端点1t1は、電子部品の設計上の端子の位置P1に形成されるので、電子部品の端子が実際に形成された位置Q1からはずれてしまう。すなわち、 $S(P1) = \{L1\}$ 、 $U(Q1) = \{\phi\}$ となる。

【0080】

次に、L2に関して言えば、設計データ中の端点1t2の位置は、電子部品の設計上の端子の位置P2に形成されるので、電子部品の端子が実際に形成された位置Q2からはずれてしまう。すなわち、 $S(P2) = \{L2\}$ 、 $U(Q2) = \{\phi\}$ となる。

【0081】

さらに、L3に関して言えば、設計データ中の端点1t3の位置は、電子部品の設計上の端子の位置P3に形成されるので、電子部品の端子が実際に形成された位置Q3からはずれてしまう。すなわち、S(P3) = {L3}、U(Q3) = {L4}となる。

【0082】

また、L4に関して言えば、電子部品の設計上の端子の位置P4が、実際に形成された位置Q4と一致しているので、設計データ中の端点1t4は、電子部品が実際に形成された位置に形成される。しかし、ラインL4は別の電子部品が実際に形成された位置Q3と交差してしまう。すなわち、S(P4) = {L4}、U(Q4) = {L4}となる。

【0083】

このように、設計データを補正せずにそのまま露光すると、形成された電子部品の端子の位置が設計データからずれていた場合は、配線ラインが設計図どおりに電子部品の端子と結線されなかったり、もしくは、別の電子部品の端子位置と交差してしまうというエラーが発生する。

【0084】

そこで、本発明では、既に説明したように、絶縁層で基板が被覆される前に予め計算し保持してあった電子部品の変位データ（すなわち設計データに対するずれ）を用いて設計データを動的に補正し、この補正されたデータを用いてマスクレス露光もしくはビア形成などのその後の処理を実行する。

【0085】

この補正アルゴリズムは、電子部品の位置ずれの状況に応じたものとなる。

【0086】

第1の補正アルゴリズムでは、露光エリアEA内において、電子部品の端子の実際の形成位置が、設計データ上の形成位置からずれて配線ラインの電子部品側の端子から外れてしまった場合、配線ラインが設計図どおりに電子部品の端子と結線されるようにするために、配線ラインLの電子部品側の端子1tを、電子部品の端子が実際に形成された位置にずれるように設計データを補正する。例えば図12に示すように、電子部品が実際に形成された位置に、端点1t1'、1t

2' および 1 t 3' を設ける。

【0087】

第2の補正アルゴリズムでは、露光エリアEA内において、形成された電子部品の端子の位置が設計データからはずれて、別の電子部品の端子の結線に用いられる配線ラインと交差してしまった場合は、この配線ラインを迂回させるために屈曲点を新たに設けたり、ラインの幅を増減したりするような補正を行う。例えば図12に示すように、1t4の位置はそのままに、新たに屈曲点1t4'を設け、ラインL4およびL4'で結線する。なお、このとき、設計の際に意図した1s4と1t4との間の電気的長さをできるだけ維持するためにラインの幅を調節してもよい。

【0088】

あるいはまた、上述のようなエラーが生じた場合は、マスクレス露光もしくはビア形成処理そのものを停止し、エラーの発生を製造ラインの管理者等に通知するようにしてもよい。

【0089】

図13および14は、設計データの具体的な補正処理の流れを示すフローチャートである。

【0090】

ここでは、マスクレス露光に用いられる設計データの動的補正について説明するが、ビア形成に用いられる設計データの動的補正についても原理は同じである。

【0091】

以下に説明する設計データの動的補正是、個々の基板において露光エリアEAごとに繰り返す(S200～S250)。

【0092】

まず、図13のステップS201において、露光エリアEAを決定する。ここでは、決定した露光エリアEAをこれからマスクレス露光処理するために、基板を載せるステージおよび露光ヘッドの機械的移動も行われる。

【0093】

続いて、ステップS202において、露光エリアEAに含まれるラインの図形オブジェクトを、設計データを格納したデータベースDDBより抽出する。抽出された結果を{L}とする。

【0094】

次に、ステップS203において、露光エリアEAに含まれる電子部品の端子の図形オブジェクトを、設計データからの変位情報を格納したデータベースBDBより抽出する。抽出された結果を{P}とする。

【0095】

次いで、ステップS204において、露光エリアEAに含まれる電子部品の端子の変位を含む図形オブジェクトを、設計データからの変位情報を格納したデータベースBDBより抽出する。抽出された結果を{Q}とする。

【0096】

続いて、全ての $P \in \{P\}$ に対して(S300~S350)、ステップS301において、Pと交差するLを検索する。検索した結果をS(P)とする。

【0097】

次いで、ステップS302において、Pに対応するQと交差するLを検索する。検索した結果をU(Q)とする。

【0098】

続いて、全ての $L \in U(Q)$ に対して(S400~S450)、ステップS401において、LがS(P)に含まれるか判定する。LがS(P)に含まれない場合は、本来Pと接続すべき配線以外との交差が検出されたことになるので、ステップS402において、図11および12を参照して説明した第2の補正アルゴリズムを実行し、後述するステップS502へ進む。あるいは、処理そのものを停止してもよい。

【0099】

LがS(P)に含まれる場合は、全ての $L \in S(P)$ に対して(S500~S550)、図11および12を参照して説明した第1の補正アルゴリズムを実行する(S501)。すなわち、Lの電子部品の端子側の端点1tを(θ 、 Δx 、 ΔY)で変位させ、1t'とする。そして、isと1t'を端点とする図形オ

プロジェクトを新たにL' とする。

【0100】

ステップS502では、上述のようにして動的にそれぞれ補正された設計データを、マスクレス露光機の入力データに変換する。

【0101】

以上のようにして、設計データを動的に補正し、このデータをマスクレス露光に用いる。なお、ピア形成に用いられる設計データの動的補正についても同様である。

【0102】

【発明の効果】

以上説明したように、本発明によれば、素子内蔵基板の製造にあたり、基板に電子部品を形成したときに、設計上の形成位置からずれたとしても、そのずれを考慮して基板のその後の処理に用いられる設計データを補正し、補正された設計データに基づいてピア形成やマスクレス露光を実行するので、電子部品の多少の位置ずれがあっても容易に、かつ安定して素子内蔵基板を製造することができる。

【0103】

また、本発明によれば、マスクレス露光処理およびピア形成処理に必要な設計データを、基板ごと、電子部品ごと、およびその端子ごとに動的に補正することができるので、常に最適な露光処理およびピア形成処理を実現可能である。特に、基板が多層になっても、また、配線が微細になっても、高精度に露光処理およびピア形成処理を実現することができる。例えば、多層の素子内蔵基板において、ノイズ低減の観点から電源ラインの直上の層にデカップリングキャパシタを配置したい場合など、本発明を適用することで利益を享受できる機会は非常に多い。

【0104】

また、フォトマスクを使用する従来例に比べて歩留まりが飛躍的に向上し、またフォトマスクを製造する必要もないで製造コストが削減できる。

【0105】

さらに、本発明では、絶縁層で被覆される前の電子部品の実際の形成位置を検

出するので、この段階で得られた変位データが、動的補正を実行可能な変位データの許容値を越えるような場合に不良と判定するような処理をさらに備えれば、動的補正でもっても対応しきれない重大な不良品を排除することができるので、歩留まりをさらに向上させることができる。

【図面の簡単な説明】

【図1】

本発明の素子内蔵基板製造方法のフローチャート（その1）である。

【図2】

本発明の素子内蔵基板製造方法のフローチャート（その2）である。

【図3】

本発明の素子内蔵基板製造装置のシステムブロック図である。

【図4】

本発明の素子内蔵基板製造方法の実施例を説明する図（その1）である。

【図5】

本発明の素子内蔵基板製造方法の実施例を説明する図（その2）である。

【図6】

本発明の素子内蔵基板製造方法の実施例を説明する図（その3）である。

【図7】

本発明の素子内蔵基板製造方法の実施例において、絶縁層に内蔵されるキャパシタの形成を例示する図である。

【図8】

本発明の素子内蔵基板製造方法の実施例を説明する図（その4）である。

【図9】

本発明の素子内蔵基板製造方法の実施例を説明する図（その5）である。

【図10】

変位データのデータベース構造を説明する図である。

【図11】

補正前の電子部品の端子と配線との位置関係を例示する図である。

【図12】

図11で示された位置関係の補正後を例示する図である。

【図13】

設計データの具体的な補正処理の流れを示すフローチャート（その1）である

【図14】

設計データの具体的な補正処理の流れを示すフローチャート（その2）である

【図15】

従来例によるフォトマスクを使ったパターニングと位置ずれを例示する図である。

【図16】

素子内蔵基板においてフォトマスクを使用して描画される配線と電子部品との位置関係を例示する図である。

【符号の説明】

1 … 素子内蔵基板製造装置

1 1 … 検出手段

1 2 … 保持手段

1 3 … 補正手段

1 4 … ピア形成手段

1 5 … マスクレス露光手段

2 1 … 基板

2 2 … 電子部品

2 3 … 絶縁層

2 4 … フォトレジスト

2 5 … ピア孔

3 1 … 電子部品の電極部分

3 2 … 導体層

3 3 … フォトレジスト層

3 4 … 配線パターン形成部分

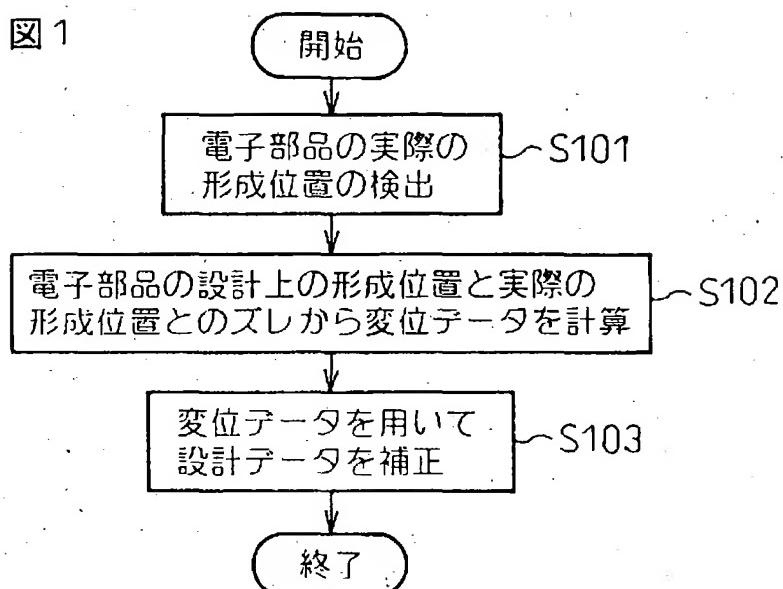
特2002-200055

3.5…配線用導体

【書類名】 図面

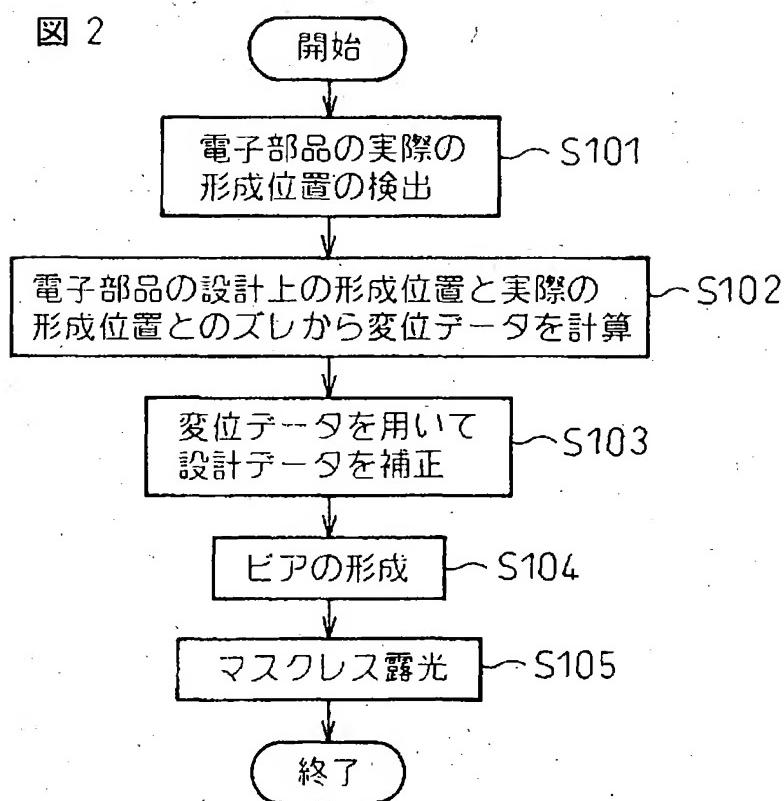
【図1】

図1



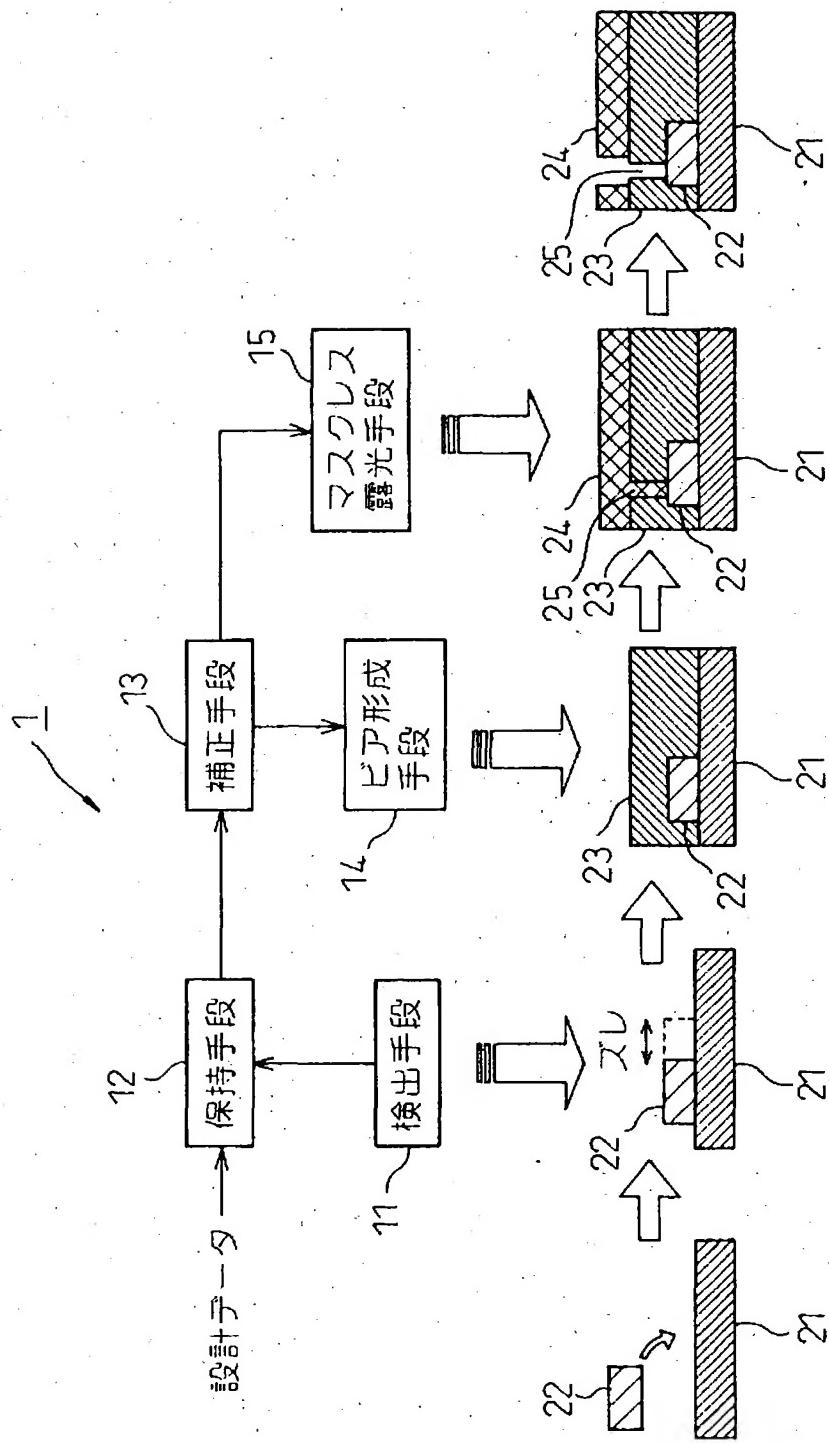
【図2】

図2



【図3】

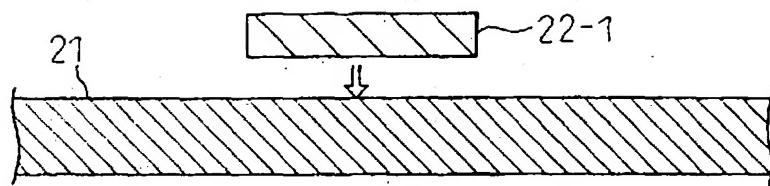
図3



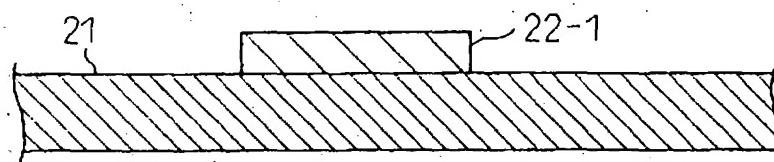
【図4】

図4

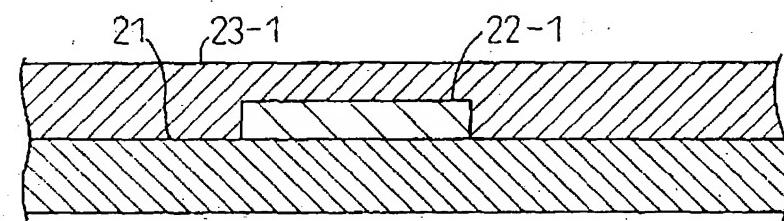
(a)



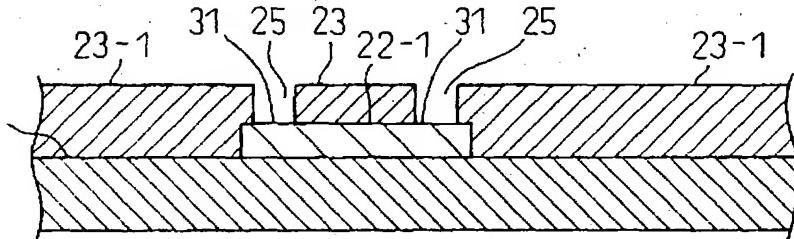
(b)



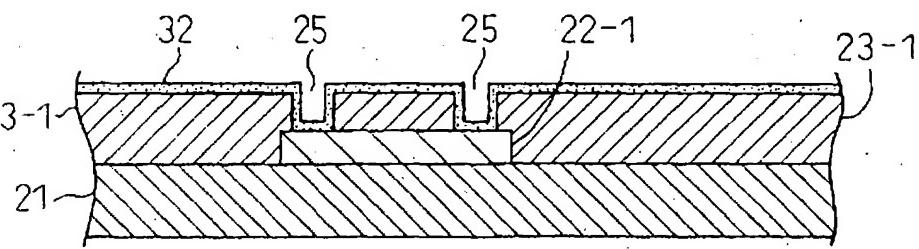
(c)



(d)

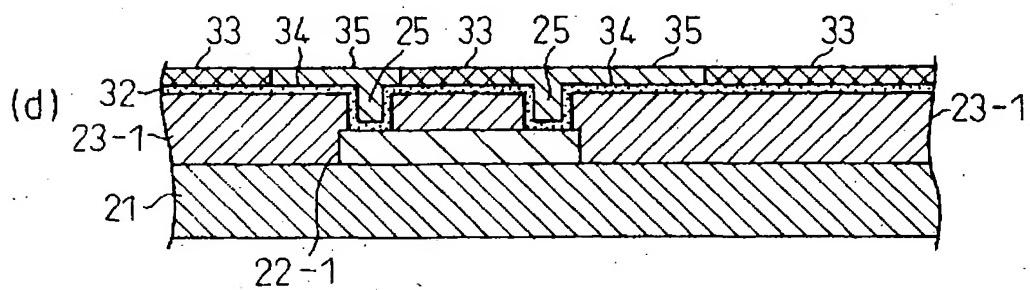
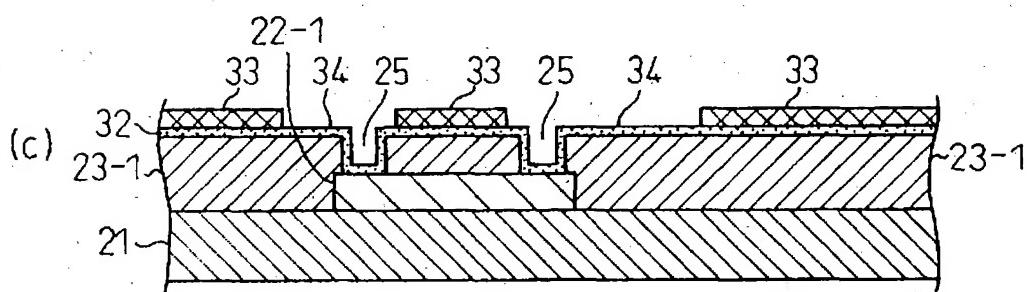
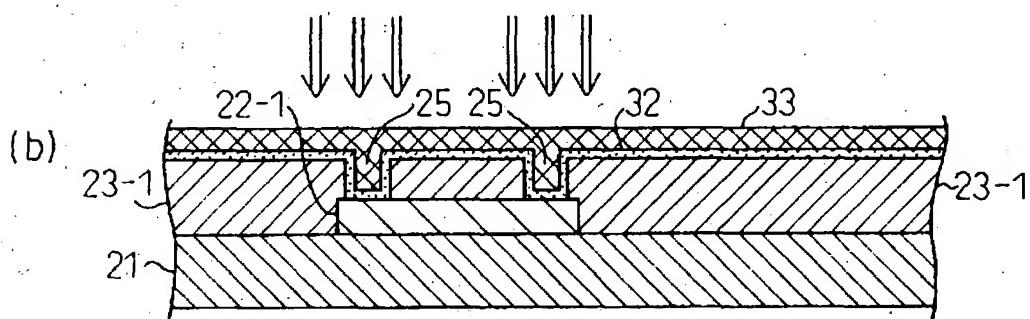
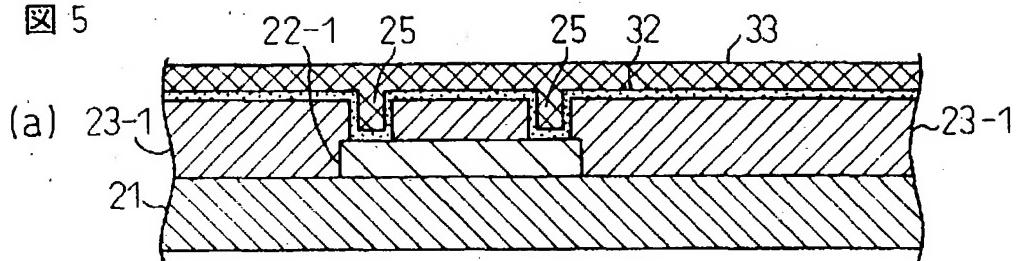


(e)



【図5】

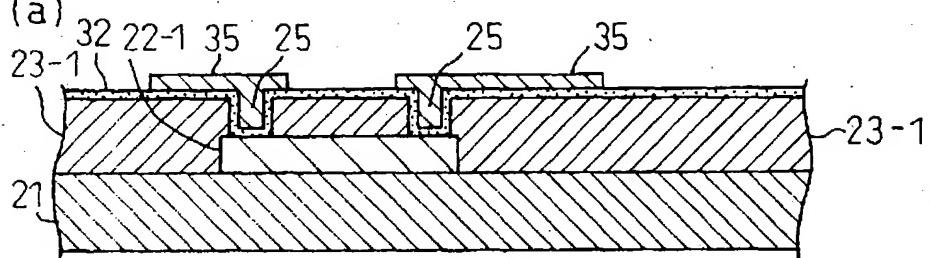
図5



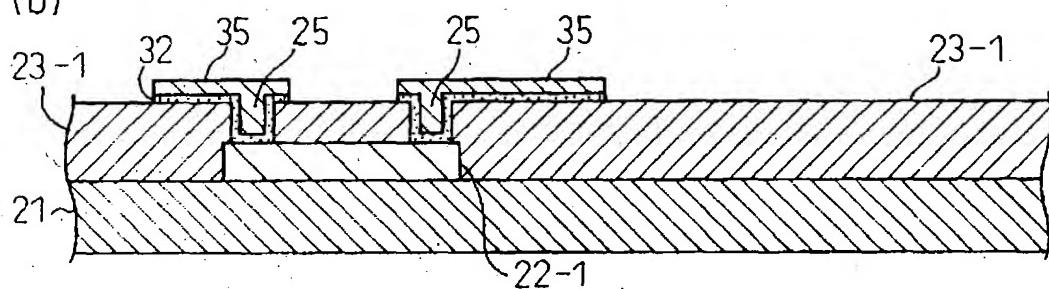
【図6】

図6

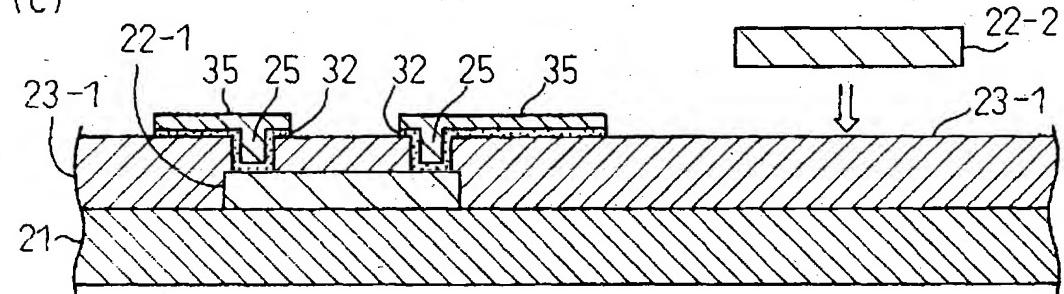
(a)



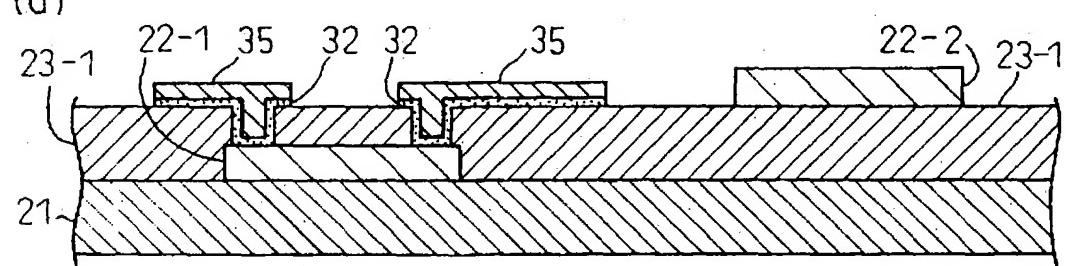
(b)



(c)



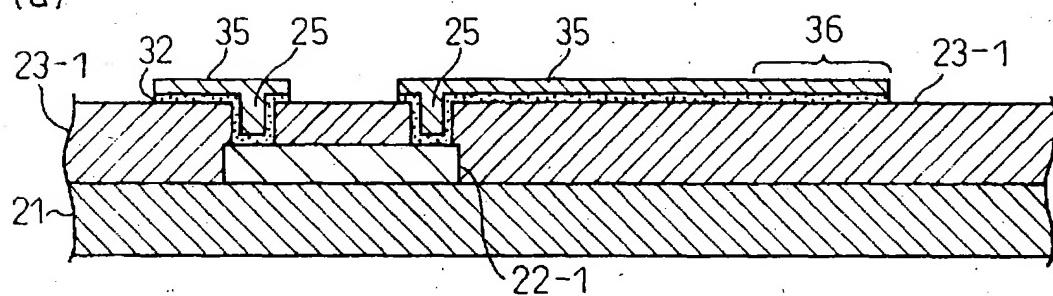
(d)



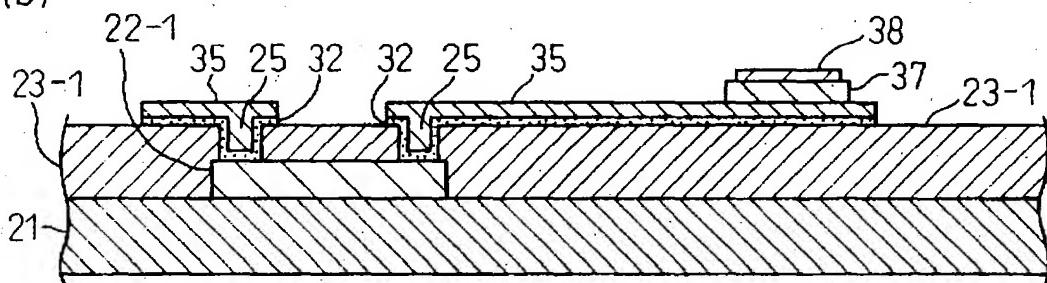
【図7】

図7

(a)

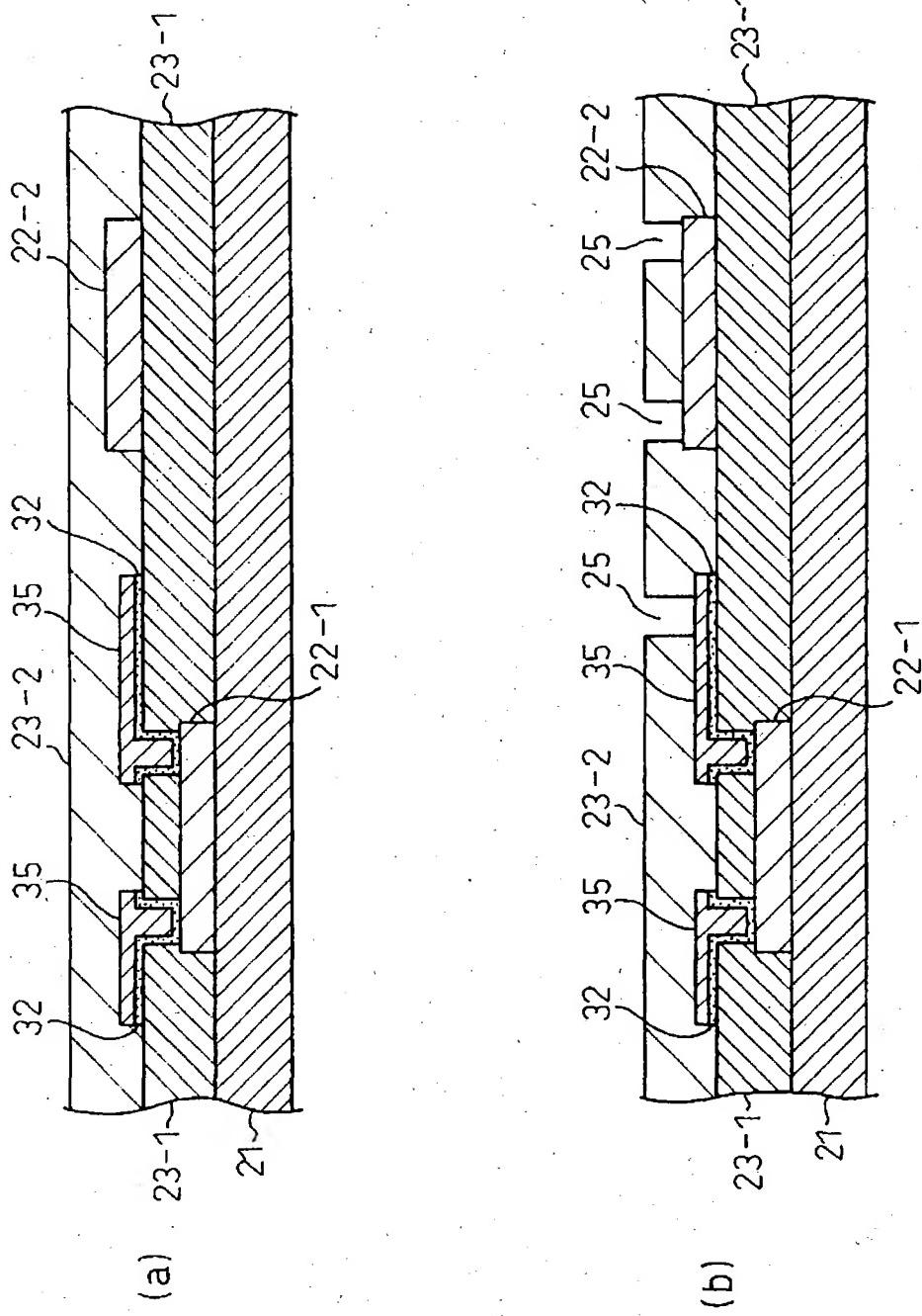


(b)



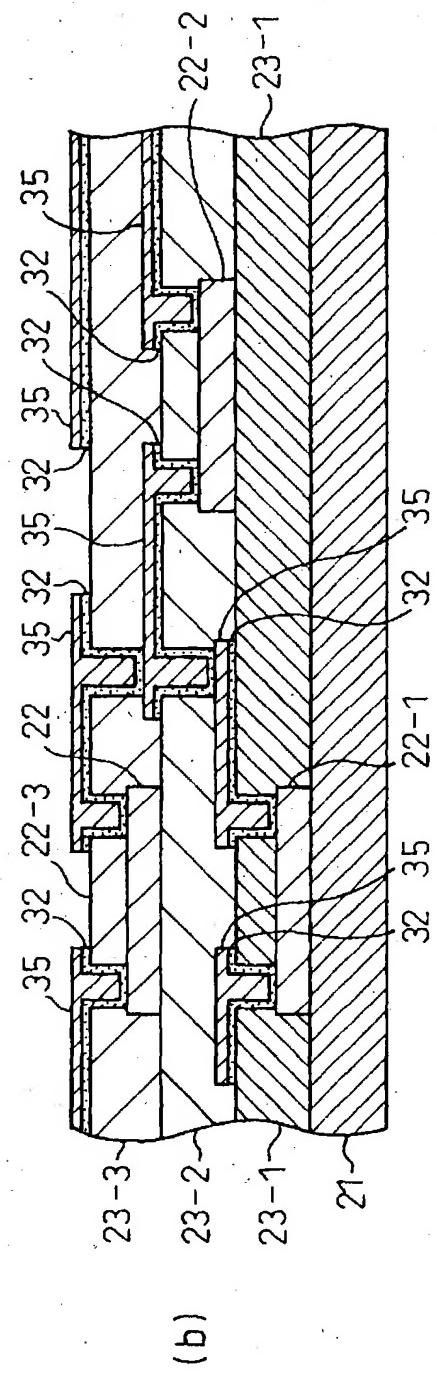
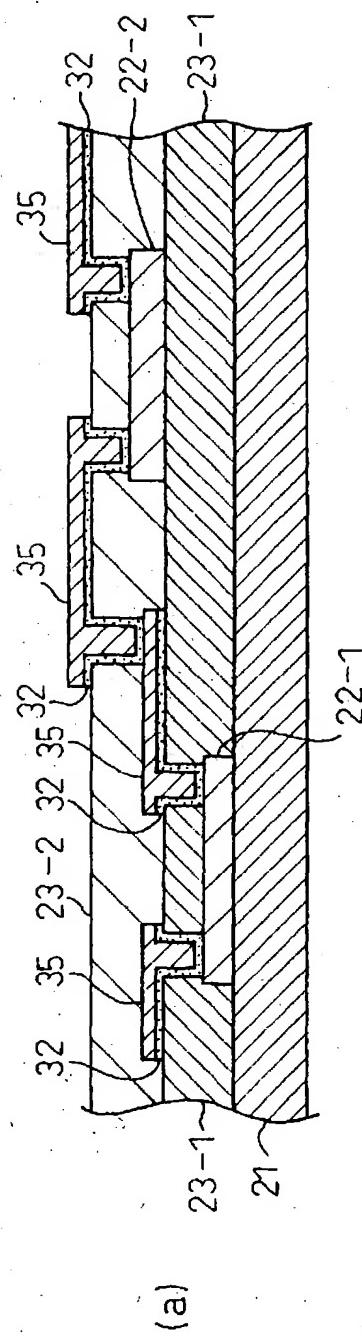
【図8】

図8



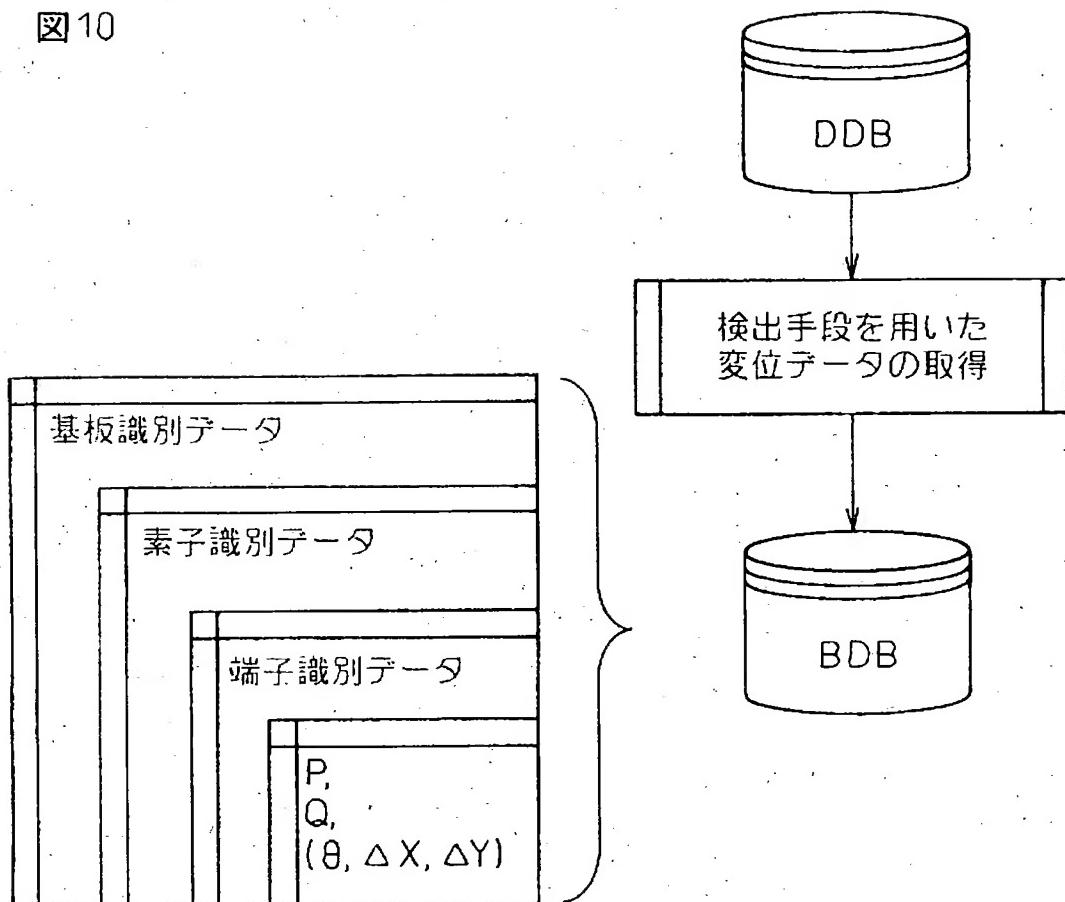
【図9】

図9



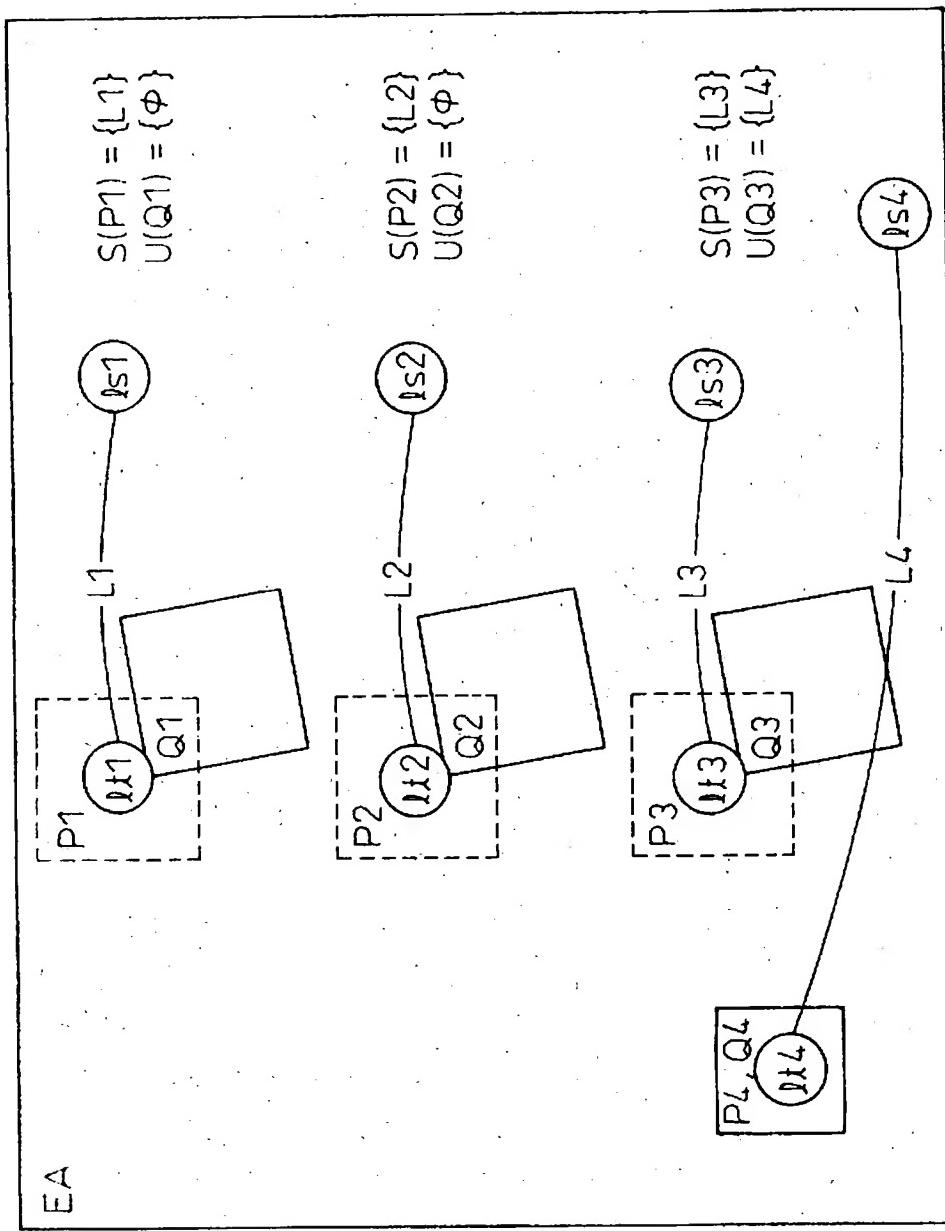
【図10】

図10



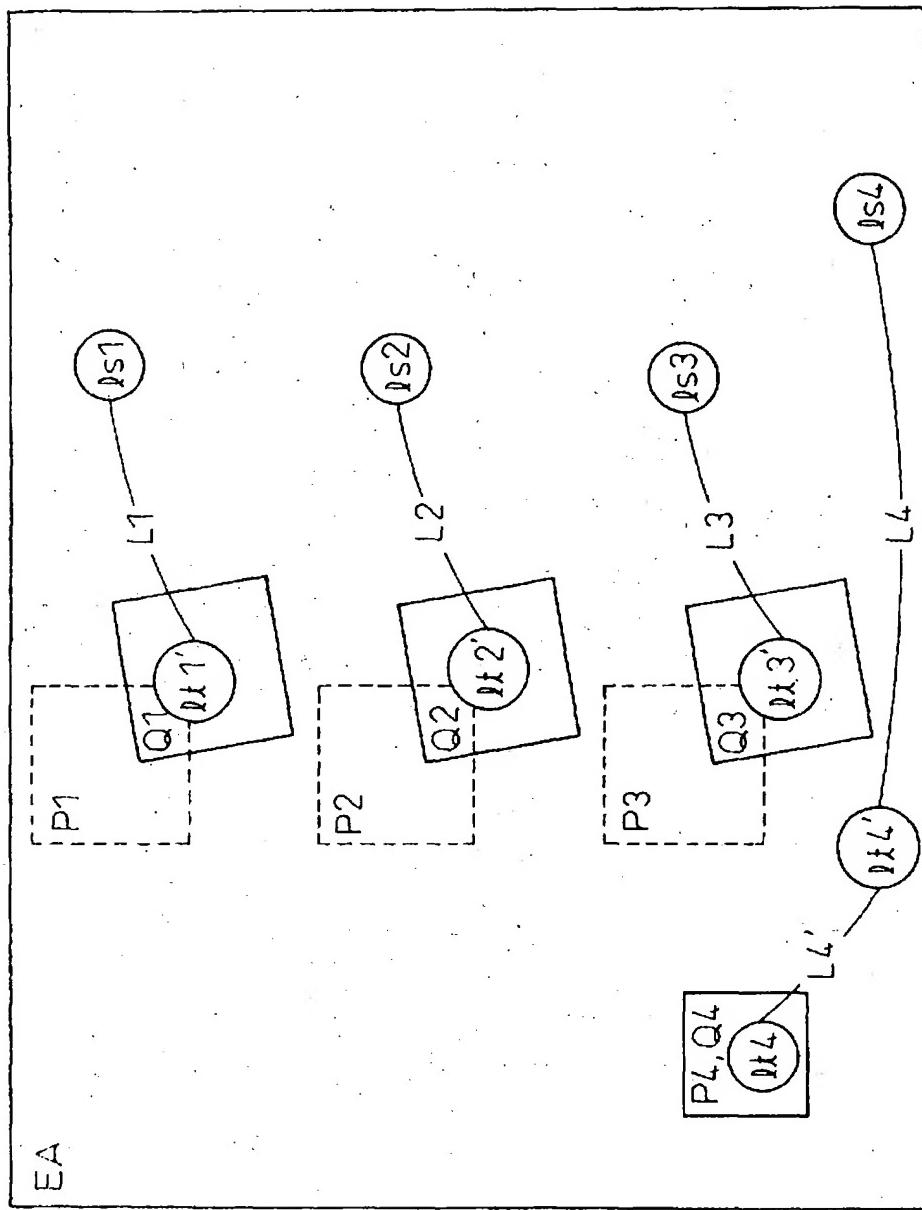
【図11】

図11



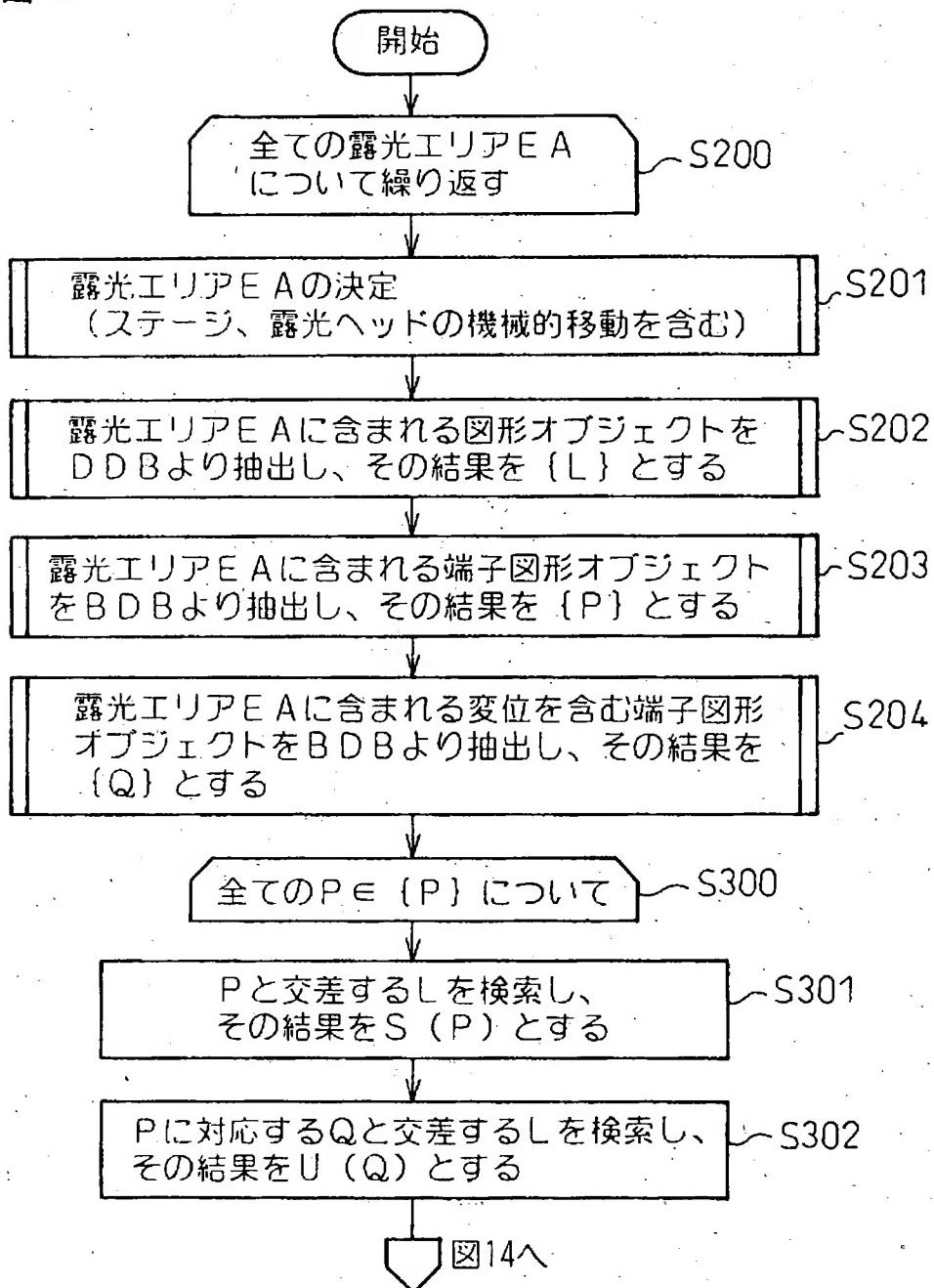
【図12】

図12



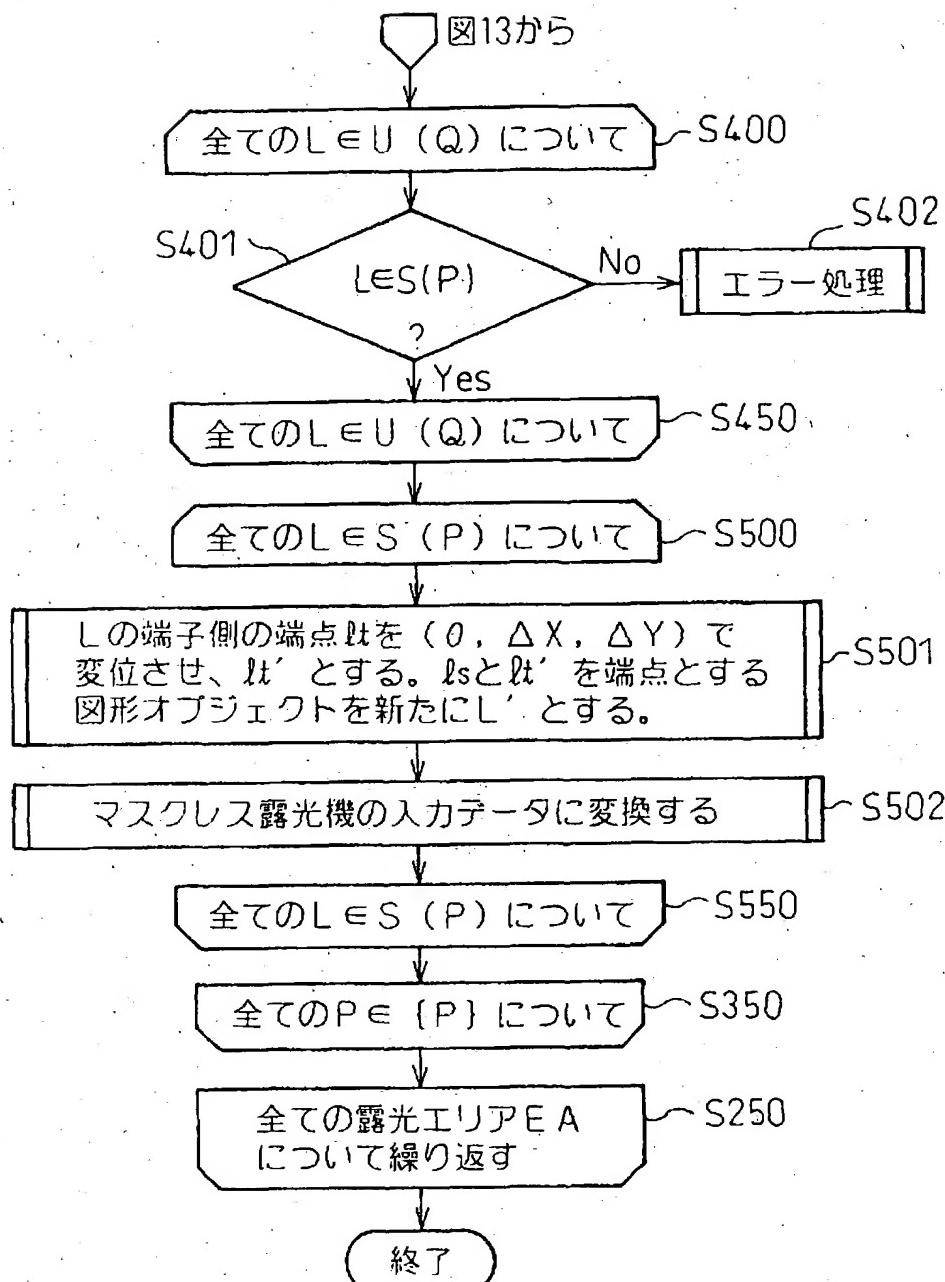
【図13】

図13



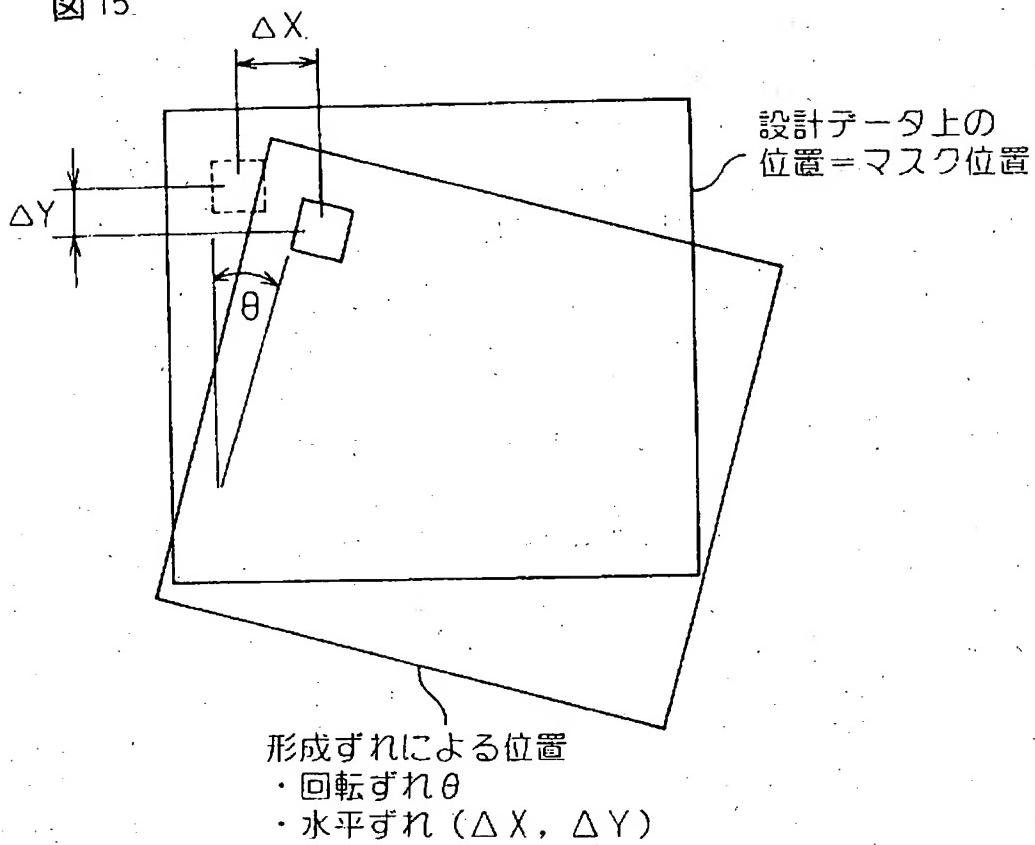
【図14】

図14



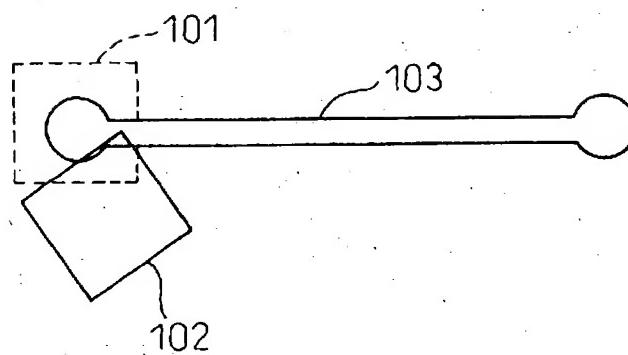
【図15】

図15.



【図16】

図16



【書類名】 要約書

【要約】

【課題】 電子部品を配線基板内に内蔵した素子内蔵基板を、高精度かつ容易に製造する素子内蔵基板製造方法およびその装置を実現する。

【解決手段】 本発明の素子内蔵基板製造装置1は、絶縁層23で被覆される前の、電子部品22の基板21面上の実際の形成位置を検出する検出手段11と、電子部品22の設計上の形成位置と、電子部品22の基板21面上の実際の形成位置とのズレを、変位データとして計算して保持する保持手段12と、絶縁層23で被覆された後の基板21の処理に使われる設計データを、変位データを用いて補正する補正手段13と、を備える。

【選択図】 図3

出願人履歴情報

識別番号 [000190688]

1. 変更年月日 1990年 8月20日

[変更理由] 新規登録

住 所 長野県長野市大字栗田字舎利田711番地

氏 名 新光電気工業株式会社